



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 11175712  
(43)Date of publication of application: 02.07.1999

(51)Int.Cl.

G06T 5/00  
H04N 1/403

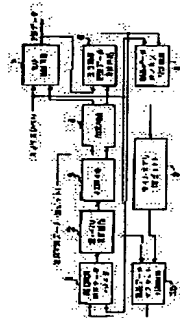
(21)Application number: 09343061 (71)Applicant: ASAHI KASEI MICRO SYST CO LTD  
(22)Date of filing: 12.12.1997 (72)Inventor: MOTOSAWA YASUHIRO  
NAGAMINE TATSUYA

(54) IMAGE PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To decrease the number of bits of a line memory used to binarize multi-valued image data by an error diffusing method.

SOLUTION: An error data offset adding circuit 8 subtracts K meeting specific conditions (i.e.,  $-2N-1$  to  $K-2N-1$ , where N is the number of bits of the multi-valued image data) from error data from an interest pixel error data calculating circuit 6 and supplies the result to the line memory 9 and then the number of bits of the line memory 9 may be equal to that of interest image data. Then an error data offset adding circuit 10 adds K to the error data from the line memory 9 and then the original data, i.e., the same data with the error data from the interest pixel error data calculating circuit 6 are inputted to a peripheral pixel error data register 1.



LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C): 1998 Japanese Patent Office

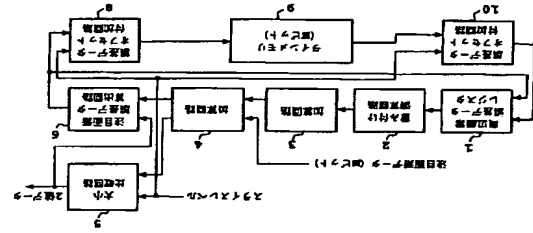
(51) Int. Cl. <sup>7</sup>	F I	G 0 6 F 15/48 H 0 4 N 1/40	3 2 0 A 1 0 3 A	FI	OL	(54) 請求項の数 4	未請求 請求項の数 4	審査請求	特願番号 9-141081	(71) 出願人	旭化成マイクログロシステム株式会社 東京都渋谷区代々木1丁目14番10号	(72) 発明者	本沢 康博 神奈川県厚木市栄町1丁目1番1号 旭化成マイクログロシステム株式会社内	(73) 発明者	長崎 辰也 東京都渋谷区代々木1丁目14番10号 旭化成マイクログロシステム株式会社内	(74) 代理人	弁理士 谷 敏一	(57) 要約	【要約】 多値画像データを誤差拡散法により2値化する際に用いるラインメモリのビット数を減らすこと。

(21) 出願番号	特願平9-141081	(71) 出願人	旭化成マイクログロシステム株式会社 東京都渋谷区代々木1丁目14番10号
(22) 出願日	平成11年(1997)12月12日	(72) 発明者	本沢 康博 神奈川県厚木市栄町1丁目1番1号 旭化成マイクログロシステム株式会社内
		(73) 発明者	長崎 辰也 東京都渋谷区代々木1丁目14番10号 旭化成マイクログロシステム株式会社内
		(74) 代理人	弁理士 谷 敏一

(54) (発明の名称) 画像処理装置

(57) 要約

【要約】 多値画像データを誤差拡散法により2値化する際に用いるラインメモリのビット数を減らすこと。  
【解決手段】 所定の条件を満たすK(すなわち、 $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$ 、ただしNは多値画像データのビット数)を誤差データオフセット付加回路8において注目画像誤差データ算出回路6からの誤差データから減算してラインメモリ9に供給することによって、ラインメモリ9のビット数は、注目画像データのビット数と同数で済むことになる。またラインメモリ9から前データに誤差データオフセット付加回路10において前データを加算することによって、元のデータ、すなわち、注目画像誤差データ算出回路6からの誤差データと同じデータが周辺画像誤差データレジスタ1に入力される。



【特許請求の範囲】

【請求項1】 多値画像データを誤差拡散法により2値化データに変換する際に、注目画像の誤差データを減算する2値化誤差演算手段と、該2値化誤差演算手段によって得られた誤差データを減算する減算手段と、該減算手段からのオフセットを減算後の誤差データに記憶する記憶手段と、該記憶手段からの誤差データに前記オフセットを加算して前記2値化誤差演算手段に供給する加算手段とを具備することを特徴とする画像処理装置。

【請求項2】 請求項1において、前記2値化誤差演算手段は、注目画像の誤差データを演算するためのウィンドウ内の画像の誤差データを保持するレジスタと、該レジスタからのウィンドウ内の誤差データに重み付けするための第1演算回路と、該第1演算回路からのウィンドウ内の重み付けされた誤差データの総和を求めるための第1加算回路と、該第1加算回路からのウィンドウ内の重み付けされた誤差データの総和と、該注目画像データとを加算するための第2加算回路と、該第2加算回路からの加算結果と前記レジスタレベルとの比較結果に基き、2値化データとして前記第2加算回路からの加算結果とを有することを特徴とする画像処理装置。

【請求項3】 請求項1において、前記オフセットは、前記スライズレベルを $2^{N-1} + K$ とするとき、

【数1】  $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$

(ただし、

N: 前記多値画像データのビット数

K: 前記オフセット)

であることを特徴とする画像処理装置。

【請求項4】 請求項1において、

前記記憶手段は、前記多値画像データのビット数と同じビット数のラインメモリであり、前記記憶手段を有する画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、画像処理装置に關し、特にファクシミリ等の画像処理系の画像読み取りデータをA/D(アナログ/デジタル)変換した中間データに誤差拡散法により類似中間データに変換する画像処理装置に関する。

【0002】

【従来の技術】 ファクシミリ等の画像処理系では、画像読み取りデータをA/D変換した中間データに対して画像処理を行い、類似中間データに変換する。

【0003】 中間データから類似中間データに変換する手法としては、誤差拡散法、ディザ法等が通常用いられるが、誤差拡散法の方が良好な画像が得られる。

【0004】 誤差拡散法では、図1に示すように、処理を行う注目画像の周囲のウィンドウ内の各画素の2値化誤差に重み付けして総和を求め、その総和を注目画像の中間データに加算し、その加算結果と2値化スライズレベルを比較して注目画像の2値化を行い、この加算結果と注目画像の2値化データとの差が注目画像の誤差データとなる。注目画像を走査していき、上記処理を繰り返す。図1において、\*は注目画像、A1~A7はウィンドウ内の画像の重み係数である。図2は、誤差拡散処理回路を示す。図2において、1は周辺画像誤差データレジスタであり、注目画像の誤差データを計算するためのウィンドウ内の画像の誤差データを保持する。2は重み付け演算回路であり、周辺画像誤差データレジスタ1によって求められているウィンドウ内の画像の誤差データERRiに各画素に対応する重み付け係数Aiを乗算する。3は加算回路であり、重み付け係数Aiを乗算する。4は加算回路3によって求めた総和と、注目画像の中間データPとを加算する。この結果、すなわち、スライズレベル(しきい値)と比較する注目画像データP\*は、

【0005】

【数2】  $P* = P + \sum (ERRi \times Ai)$

となり、この値が大小比較回路5においてスライズレベルと比較され、スライズレベル以上のときは、注目画像の2値化データとして1を出力する。またこのときの注目画像誤差データ算出回路6における注目画像の誤差データERR\*は、

【0006】

【数3】  $ERR* = P* - (2^N - 1)$

N: 中間データのビット数

となる。P\*がスライズレベルよりも小さいときは、大小比較回路5から出力される注目画像の2値化データは0となり、注目画像誤差データ算出回路6における注目画像の誤差データERR\*は、

$ERR* = P*$

となる。以上のようにして大小比較回路5から出力される2値化データが類似中間データであり、注目画像誤差データ算出回路6から出力される注目画像の誤差データが他の注目画像に対する周辺画像誤差データとして周辺画像誤差データレジスタ1に供給されるが、誤差拡散のような画像処理を行う場合、処理ウィンドウが何ライオン分あるかで、注目画像よりも前のラインで求めた各注目画像の誤差データをラインメモリ7に格納しておき(図1の例では、A1~A5であり、A6、A7は周辺画像誤差データレジスタ1に直接供給される)、注目画像の演算時に周辺画像誤差データレジスタ1に供給する。

【0007】 この時、中間データをNビットとした場合、スライズレベルが階調幅の中心に固定されている

(3)

拡張データは符号も含めてNビットであるが、スライスレベルを階層放の中心以外のところにすると、拡張データは符号も含めて  $(N+1)$  ビットとなる。画像処理の汎用性を考慮するとスライスレベルはプログラマブルであることが好ましい。なお、スライスレベルが  $2^{n-1}$  のときは例外で、拡張データは符号ビットも含めてNビットとなる。これは、スライスレベルが  $2^{n-1}$  の場合は、スライスレベルよりも小のデータの2値化拡張とスライスレベルよりも大のデータの2値化拡張がともに  $2^{n-1}$  より小さくなるためである。スライスレベルが  $2^{n-1}$  以外のときには、スライスレベルよりも小のデータもしくはスライスは  $2^{n-1}$  以上の値になってしまい、符号ビットも含めて  $(N+1)$  ビットとなる。

【0008】  
 【発明が解決しようとする課題】従って、精密データ格納用のラインメモリとして、中国語データのビット数よりも1ビット余計に多いビット数のものが必要となる。  
 【0009】このような画像処理系を1チップのICで構成する場合、チップ上でラインメモリが占める面積は、かなり大きなものとなるので、1ビットでもビット数の多いラインメモリは、チップ面積の縮小化の妨げになり、コストが上昇する原因となる。

【００１０】本発明の目的は、以上のような問題を解消した画像処理装置を提供することにある。

【0011】  
【課題を解決するための手段】上記目的を達成するため、請求項1の発明は、多価値データと陰算並列法により、2価値データに変換する際、注目画素の陰算データと演算する2価値陰算手段と、該2価値陰算手段の手段によって得られた陰算データから前記2価値の際のスライスレベルに応じたオフセットを減算する減算手段と、該減算手段からのオフセット減算後の陰算データを記憶する記憶手段と、該記憶手段からの陰算データに前記オフセットを加算して前記2価値陰算手段に供給する加算手段とを具備したことを特徴とする。

【0012】また請求項2の発明は、請求項1において、下記2箇化処理演算手段は、注目画素の位置データと、対応2値化処理演算手段は、注目画素の位置データを保持するレジスタと、該レジスタ内の画素の位置データ内の一データに重み付けするための第1演算回路と、該第1演算回路からのウィンドウ内の重み付けされた位置データの総和を求めための第1加算回路と、該第1加算回路からのウィンドウ内の重み付けされた位置データの総和と注目画素データとを加算するための第2加算回路と、

となり、(データ<スライズレベル)のときは、  

$$[0 \ 0 \ 2 \ 1]$$

$$[数8] \ 0 \leq P < 2^{n-1} + K$$

$$※ \quad 0 \leq ERR < 2^{n-1} + K$$

$$- (2^{n-1} - 1 - K) \leq ER$$

となる。このことから、スライズレベルと  $2^{N-1}$  との型  
 $K$  が 0 のときは  $ERRR^*$  は符号ビットも含めて  $N$  ビット  
で表せるので  $N$  ビットのラインメモリが使用できるが、  
 $K$  が 0 以外の場合には  $ERRR^*$  は符号ビットも含めて  
 $(N+1)$  ビットとなり、 $(N+1)$  ビットのラインメ  
モリが必要となる。ここで、スライズレベルが  $2^{N-1} +$   
 $-(2^{N-1} - 1) \leq ERRR^*$  のときは、  
となり、(データクオサスライズレベル) のときは、  
【0024】

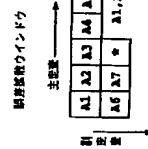
となり、

【0025】

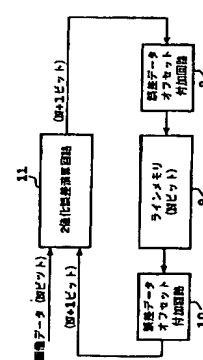
【数12】 $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$

という条件より、ラインメモリに格納するデータは、Nビットで済むことになる。このような条件を満たすK(すなわち、 $-2^{N-1} + 1 \leq K \leq 2^{N-1} - 1$ )を映像データオフセット付加回路9において注目画像映像データ算出回路6からの映像データから減算してラインメモリ9に供給することによって、ラインメモリ9のビット数は、注目画像データのビット数と同数で済むことになる。またラインメモリ9からの映像データに映像データオフセット付加回路10において前記Kを加算することによって、元のデータ、すなわち、注目画像映像データ算出回路6からの映像データと同じデータが順次画面線データレジスタ1に出力される。このようにラインメモリ9への映像データの書き込みが終了し、及びラインメモリ9からの映像データ読み出しに際して、簡単な処理回路(映像データオフセット付加回路8、0)を付

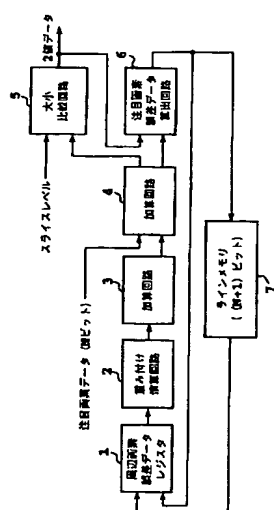
【圖】



【图4】



【圖2】



【图3】

